










Process for manufacturing an integrated memory-cell.

Patent number: EP0351316
Publication date: 1990-01-17
Inventor: JEUCH PIERRE
Applicant: COMMISSARIAT ENERGIE ATOMIQUE (FR)
Classification:
- **international:** H01L21/28; H01L21/82; H01L29/788
- **european:** H01L21/8247M2, H01L27/115, H01L29/788B6B
Application number: EP19890402006 19890712
Priority number(s): FR19880009559 19880713

Also published as:

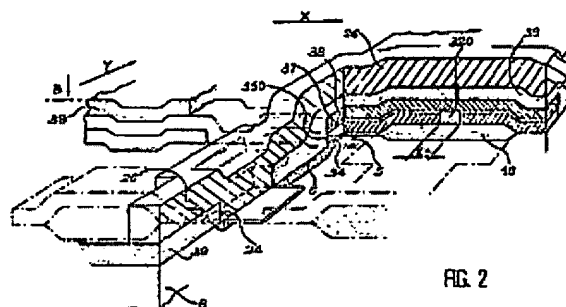
 US5011787 (A1)
 JP2125668 (A)
 FR2634318 (A1)
 EP0351316 (B1)

Cited documents:

 EP0258141
 EP0160965
 EP0088922
 US4597060
 US4402128
more >>

Abstract not available for EP0351316
Abstract of correspondent: **US5011787**

The invention concerns the method to produce an EPROM or EEPROM type integrated memory cell on a semiconductor substrate. The cell comprises memory points, electrically insulated from each other, each memory point comprising a source (4), a drain (6), a floating gate (350), a control grid (38), a channel (5) situated under the floating gate (350), the source (4) and the drain (6) being situated on both sides of the floating (350), the floating gates of each memory point being laterally distant and insulated along a first direction (X) from one or two other floating gates, the production of the cell comprising a stage for embodying lateral insulations (320) of the floating gates along the first direction (X), then a stage for embodying the actual floating gates (350), which makes it possible to obtain insulations between submicronic floating gates. Application for the embodiment of integrated memory cells.



Data supplied from the **esp@cenet** database - Worldwide

DEMANDE DE BREVET EUROPEEN

⑫
②① Numéro de dépôt: 89402006.4

⑥① Int. Cl.⁵: **H 01 L 21/82**
H 01 L 21/28, H 01 L 29/788

②② Date de dépôt: 12.07.89

③③ Priorité: 13.07.88 FR 8809559

④③ Date de publication de la demande:
17.01.90 Bulletin 90/03

⑤④ Etats contractants désignés:
BE CH DE GB IT LI NL

⑦① Demandeur: **COMMISSARIAT A L'ENERGIE ATOMIQUE**
31/33, rue de la Fédération
F-75015 Paris (FR)

⑦② Inventeur: **Jeuch, Pierre**
13 rue du Parc
F-38170 Seyssins (FR)

⑦④ Mandataire: **Mongrédien, André et al**
c/o BREVATOME 25, rue de Ponthieu
F-75008 Paris (FR)

⑤④ **Procédé de fabrication d'une cellule de mémoire intégrée.**

⑤⑦ L'invention concerne le procédé de fabrication d'une cellule mémoire intégrée de type EPROM ou EEPROM sur un substrat semi-conducteur. La cellule comporte des points mémoires isolés électriquement les uns des autres, chaque point mémoire comprenant une source (4), un drain (6), une grille flottante (350), une grille de commande (38), un canal (5) situé sous la grille flottante (350), la source (4) et le drain (6) étant situés de part et d'autre de la grille flottante (350); les grilles flottantes de chaque point mémoire étant distantes et isolées latéralement suivant une première direction (X) d'une ou de deux autres grilles flottantes, la fabrication de la cellule comportant une étape de réalisation des isolations latérales (320) des grilles flottantes suivant la première direction (X), puis une étape de réalisation des grilles flottantes (350) proprement dites, ce qui permet d'obtenir des isolations entre grilles flottantes submicroniques.

Application à la réalisation de cellules mémoires intégrées.

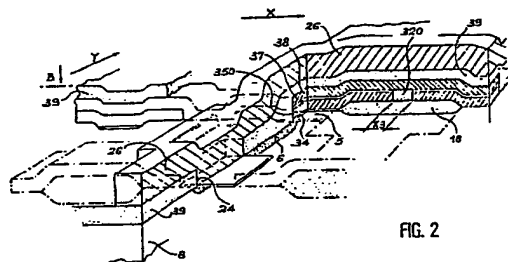


FIG. 2

Description

PROCÉDE DE FABRICATION D'UNE CELLULE DE MEMOIRE INTEGREE

La présente invention a pour objet un procédé de fabrication d'une cellule de mémoire intégrée. Elle s'applique en particulier dans le domaine de la fabrication d'un circuit intégré à technologie MOS comportant des mémoires, et notamment des mémoires non volatiles du type EPROM, c'est-à-dire des mémoires programmables électriquement et effaçables par exposition sous rayonnement ultraviolet, ou du type EEPROM, c'est-à-dire des mémoires programmables et effaçables électriquement.

Une mémoire intégrée est un circuit intégré comprenant une partie mémoire proprement dite appelée cellule mémoire formée de plusieurs points mémoires connectés électriquement entre eux, et de circuits périphériques servant à commander les points mémoires.

L'invention a pour objet uniquement la fabrication de la partie mémoire proprement dite.

Les cellules mémoires les plus modernes permettant la mémorisation de 10^6 éléments binaires, présentent des surfaces de 20 à 25 μm^2 dans une technologie de 1,2 μm , c'est-à-dire dans laquelle les bandes et les espaces les plus petits mesurent 1,2 μm . La surface d'une mémoire est donc d'environ 14 à 17 fois celle du carré élémentaire de la lithographie (1200 x 1200 nm²).

Sur la figure 1, on a représenté schématiquement en perspective une cellule mémoire connue du type EPROM, c'est-à-dire une cellule de mémoire électriquement programmable à la lecture seulement et effaçable par un rayonnement ultraviolet.

Comme représenté sur la figure 1, un point mémoire est formé d'un transistor comprenant une source 4, un canal 5 et un drain 6 réalisés dans un substrat 8 semi-conducteur monocristallin en silicium ; la source et le drain présentent des conductivités inverses de celles du substrat.

Le transistor comprend en outre un isolant de grille 10 généralement un oxyde de silicium, sur lequel sont empilées une première grille 12 et une seconde grille 14 généralement réalisées en silicium polycristallin dopé au phosphore. Ces deux grilles sont séparées par une fine couche d'isolant 16 généralement en oxyde de silicium.

La première grille 12 est une grille flottante et la seconde grille 14 est la grille de commande du point mémoire.

Le point mémoire est isolé électriquement au moyen d'un oxyde de champ 18 réalisé par exemple par oxydation localisée et superficielle du substrat à travers un masque de nitrure de silicium, des autres points mémoires ainsi que des circuits périphériques de commande de ce point.

L'ensemble d'une cellule mémoire est recouverte d'une couche épaisse isolante 22 généralement en oxyde de silicium dans laquelle sont réalisés les trous de contact électriques des sources et des drains tels que 24. Les connexions électriques entre les sources et les drains des différents points mémoires et/ou les différents circuits périphériques

de commande sont assurées par une couche conductrice 26, généralement en aluminium, déposée sur la couche isolante 22 et gravée de façon appropriée.

Les connexions électriques entre les grilles de commande des différents points mémoires sont définies en même temps que les grilles de commande 14 et dans la même couche de silicium polycristallin.

La demanderesse a été confrontée à plusieurs problèmes techniques dans la réalisation de ces cellules mémoires.

Le premier problème est celui de la densité d'intégration.

En effet, de plus en plus, on cherche à diminuer la dimension des circuits intégrés et en particulier des mémoires en vue d'augmenter leur densité d'intégration. Il est rappelé que jusqu'à présent, on s'est intéressé uniquement, dans les mémoires actuellement connues, à deux facteurs de limitation de la réduction des dimensions de la cellule mémoire.

Le premier facteur est le recouvrement entre la grille flottante 12 et l'oxyde de champ 18 ; un débordement X1 de la grille flottante 12 au-dessus de l'oxyde de champ 18 et un débordement Y1 de l'oxyde de champ 18 par rapport à la grille flottante 12 sont nécessaires à cause de l'imprécision de superposition des différentes couches constituant les points mémoires et des masques de lithographie, nécessaires pour la gravure des différentes couches. Ces débordements sont respectivement dans la direction X des lignes de mots (ou connexions de grilles) de la cellule mémoire et dans la direction Y des canaux des points mémoires, qui est perpendiculaire à la direction X.

Le second facteur est la nécessité de prévoir des gardes isolantes autour des trous de contact de la ligne d'éléments binaires, c'est-à-dire autour des trous de contact des drains des points mémoires. Une garde isolante X2 est prévue dans la direction X entre le contact de drain et l'oxyde de champ 18, et une autre garde isolante Y2 est prévue dans la direction Y entre le contact de drain et les grilles 12 et 14.

La diminution des dimensions lithographiques ne s'accompagnant pas généralement d'une amélioration proportionnelle dans les précisions de superpositions de différents niveaux, notamment de masques lithographiques, les facteurs de limitation mentionnés ci-dessus sont de plus en plus pénalisant pour l'augmentation de la densité d'intégration des mémoires.

On recherche par conséquent à améliorer les procédés de fabrication des cellules mémoires de manière à obtenir un autoalignement ou un autopoisonnement pour éviter le recouvrement entre la grille flottante et l'oxyde de champ et/ou les gardes isolantes autour des trous de contact.

Le deuxième problème réside dans le fait que les cellules mémoires fabriquées par les procédés classiques présentent des points faibles repérés par

la référence P sur la figure 1. Ces points sont localisés au niveau des angles formés par les bords extrêmes des grilles et le diélectrique interpoly 16.

Le troisième problème réside dans le fait que les cellules mémoires réalisées par le procédé classiques ont une structure qui présente un relief important alors qu'il serait préférable d'obtenir une structure qui se rapproche d'une structure plane.

La présente invention a pour objet un procédé de fabrication d'une cellule mémoire qui permet de résoudre l'ensemble de ces problèmes et en particulier d'augmenter la densité d'intégration des mémoires grâce à une diminution de leur taille, et cela d'une manière inattendue en diminuant l'écart X'3 entre deux grilles flottantes de deux points mémoires, cet écart étant celui qui est pris selon la direction d'une ligne de mots que l'on qualifie également de ligne de commande.

La présente invention a donc pour objet un procédé de fabrication d'une cellule mémoire intégrée sur un substrat semi-conducteur comportant une matrice de points mémoires isolés électriquement les uns des autres, chaque point mémoire comprenant un drain, une source, une grille flottante, les grilles flottantes de chaque point mémoire étant distantes et isolées latéralement suivant une première direction d'une ou de deux autres grilles flottantes ; le procédé étant principalement caractérisé en ce qu'il comporte une étape de réalisation des isolations latérales des grilles flottantes suivant la première direction, puis une étape de réalisation des grilles flottantes proprement dites.

Le procédé conforme à l'invention consiste à utiliser un masque de gravure comportant des motifs définissant la longueur des grilles flottantes, dans lequel le masque de gravure utilisé comporte un motif de grille sur deux, le motif du masque ayant un pas qui correspond à deux longueurs L' de grilles flottantes augmenté de deux longueurs X3 d'espaces séparant deux grilles flottantes.

Avantageusement, la réalisation des isolations des grilles flottantes comporte une étape de dépôt d'une couche sacrificielle puis une gravure de cette couche au moyen du masque présentant un motif de grille sur deux, puis un dépôt d'une couche d'isolant puis une gravure de l'isolant pour réaliser des espaceurs de largeur X3 submicroniques désirée et enfin une élimination de la couche sacrificielle.

Avantageusement, le procédé comporte les étapes suivantes :

a) au préalable :

- formation dans le substrat des zones actives séparées par de l'oxyde épais formant l'oxyde de champ isolant les points mémoires,
- formation d'une couche de matériau servant de protection du substrat,
- dopage des régions de canal par implantation ionique à travers la couche de protection,

b) puis réalisation des isolations latérales par :

- dépôt de la couche sacrificielle,
- gravure de cette couche pour obtenir les motifs désirés,
- dépôt de la couche mince d'isolant,
- gravure de l'isolant de manière à réaliser les

espaceurs contre les bords latéraux des motifs de la couche sacrificielle gravée,

- élimination des motifs de la couche sacrificielle,

- élimination de la couche de protection,

- formation d'une couche mince de matériau isolant pour former un isolant de grille,

c) réalisation des grilles flottantes par dépôt et gravure,

d) réalisation des grilles de commande par dépôt, masquage et gravure,

e) réalisation des sources et des drains,

f) réalisation des contacts,

g) réalisation des interconnexions.

Avantageusement, la réalisation des grilles flottantes effectuée durant l'étape c) comporte les sous-étapes successives suivantes :

- dépôt d'une première couche de silicium polycristallin,

- dépôt d'une couche de résine de planarisation,

- gravure à vitesse identique de la résine et du silicium polycristallin permettant de mettre à nu le silicium polycristallin,

- dopage de la première couche de silicium polycristallin.

Selon un mode préféré de réalisation, la couche sacrificielle est une couche de silicium polycristallin.

Selon un mode préféré de réalisation, le substrat est en silicium et la couche mince de matériau isolant est une couche d'oxyde de silicium obtenue par oxydation du silicium formant le substrat.

Avantageusement, la couche de protection est constituée par le masque de nitrure ayant servi à réaliser l'oxyde de champ.

Selon un mode de réalisation, la résine de planarisation est déposée par centrifugation.

Selon un mode de réalisation, la réalisation des grilles flottantes comporte une dernière étape consistant à effectuer une élimination des résidus éventuels de résine au moyen d'un plasma d'oxygène.

Selon une variante de réalisation, le dopage de la couche de silicium polycristallin est effectué juste après le dépôt de cette couche de silicium polycristallin.

Avantageusement la réalisation des grilles de commande effectuée durant l'étape d) comporte les sous-étapes successives suivantes :

- réalisation de la couche d'isolant inter-grille ;

- dépôt d'une deuxième couche de silicium polycristallin ;

- dopage de la deuxième couche de silicium polycristallin ;

- gravure de cette deuxième couche à partir d'un masque ayant des motifs définissant les grilles de commande ;

- gravure partielle de la couche d'isolant formant les espaceurs et de la couche d'isolant intergrille dans les zones où ces couches ne sont pas recouvertes par la deuxième couche de silicium polycristallin ;

- gravure sélective de la première couche de silicium polycristallin par rapport à la couche d'isolant, dans les zones non recouvertes par la deuxième couche de silicium polycristallin.

D'autres caractéristiques et avantages de l'inven-

tion ressortiront mieux de la description qui va suivre, donnée à titre illustratif et non limitatif. La description se réfère aux figures annexées dans lesquelles :

- la figure 1, déjà décrite, représente schématiquement en perspective une cellule mémoire EPROM conformément à l'art antérieur ;
- la figure 2 représente schématiquement en perspective une cellule mémoire EPROM conformément à l'invention ;
- les figures 3 à 10 représentent des étapes intermédiaires successives du procédé de fabrication selon l'invention ;
- la figure 11, représente de façon très simplifiée le schéma d'un masque de gravure pour la réalisation des grilles flottantes selon l'art antérieur ;
- la figure 12, représente de façon très simplifiée le masque de gravure utilisé dans le cadre du procédé selon l'invention pour réaliser les espaceurs submicroniques.

La description ci-après se réfère à une cellule mémoire EPROM. Bien entendu, le procédé selon l'invention s'applique également aux cellules mémoires EEPROM. En vue d'une simplification on ne décrira qu'une cellule mémoire EPROM formée de points mémoires à canal N réalisée sur un substrat en silicium monocristallin de type p, l'invention ayant une portée beaucoup plus générale puisqu'elle s'applique à tout type de mémoire à grille flottante réalisée sur un substrat semi-conducteur quelconque.

La cellule mémoire EPROM représentée sur la figure 2 comporte, comme les cellules mémoires de l'art antérieur, une matrice de points mémoires formée de transistors comportant chacun une source 4, un drain 6 de type n^+ réalisé sur un substrat 8 en silicium monocristallin de type p, des empilements de matériau sont prévus entre la source et le drain. Ces empilements sont formés, en partant du substrat 8, d'un premier isolant 34 en oxyde de silicium, d'une grille flottante 350 en silicium polycristallin dopé au phosphore, d'un second isolant 37 formé de trois matériaux isolants empilés SiO_2 , Si_3N_4 et SiO_2 et d'une grille de commande 38 en silicium polycristallin dopé au phosphore. Ces empilements sont typiquement compris entre 600 à 700 nanomètres.

Afin d'isoler électriquement les uns des autres les points mémoires, des isolations latérales 18 sont prévues. Ces isolations s'accompagnent d'un dopage de type p^+ du substrat.

Les grilles flottantes de chaque point mémoire sont distantes les unes des autres suivant la direction X. Cette distance est repérée par la référence X3.

Conformément au procédé de fabrication objet de l'invention, la distance X3 est réduite par rapport à l'art antérieur. L'isolation latérale des grilles suivant cette direction X est réalisée conformément à l'invention avant la réalisation des grilles flottantes proprement dites.

Pour réaliser les grilles flottantes, on utilise généralement un masque de gravure lithographique ayant des motifs d'un pas donné correspondant à la

longueur d'une grille à laquelle se rajoute la distance X'3 (figure 11). En réalisant conformément à l'invention les isolations des grilles flottantes avant la réalisation des grilles proprement dites, on utilise un masque de gravure ayant des motifs d'un pas supérieur à celui qui est utilisé pour réaliser les grilles flottantes suivant l'art antérieur. On a représenté de façon très schématique sur la figure 11 les motifs de grilles G'1, G'2, du masque de gravure selon l'art antérieur. On a représenté sur la figure 12 les motifs du masque de gravure permettant de réaliser les isolations latérales des grilles flottantes. Ces motifs présentent un pas correspondant à la longueur L d'une grille G1 et à la longueur L d'une deuxième grille G2 augmentée de deux espaces de longueur X3 séparant respectivement les grilles G1 et G2 et la grille G2 d'une grille G3.

L'ensemble des différentes étapes de fabrication d'une cellule de mémoire intégrée selon l'invention sont décrites en référence aux figures 3 à 10 qui sont des vues en coupe suivant l'axe BB.

La réalisation des isolations des grilles flottantes comporte une étape de dépôt d'une couche sacrificielle 31 qui est avantageusement une couche de silicium polycristallin, puis une étape de gravure de cette couche au moyen du masque qui vient d'être défini, puis une étape de dépôt d'une couche 32 d'isolant au-dessus de cette couche gravée de silicium polycristallin 31 et enfin une étape de gravure de l'isolant 32 et du silicium polycristallin 31 afin de réaliser des espaceurs 320 de largeur désirée, c'est-à-dire X3. Ces espaceurs 320 sont formées à partir de la couche d'isolant 32, qui s'est déposée contre les flancs latéraux des motifs 310 de la couche de silicium polycristallin 31.

La couche sacrificielle 31 est une couche qui est déposée sur un substrat gravé sélectivement et anisotropiquement par rapport à ce substrat qui reçoit une nouvelle couche pouvant elle-même être gravée et qui est ensuite complètement éliminée.

On choisit pour cette couche un matériau qui permet de réaliser toutes les opérations de dépôt et de gravure citées ci-dessus.

C'est pourquoi, à titre d'exemple non limitatif, cette couche a été réalisée en silicium polycristallin.

Le procédé de fabrication d'une cellule mémoire intégrée selon l'invention comporte donc les étapes suivantes :

a) au préalable :

- on part d'un substrat par exemple en silicium monocristallin 8 de type p, on forme dans ce substrat des zones actives séparées par de l'oxyde épais formant l'oxyde de champ 18 qui sert à isoler les points mémoires. L'oxyde de champ est réalisé par oxydation localisée du substrat à travers un masque de nitrure de silicium.

On forme une couche de matériau 30 servant à protéger le substrat jusqu'à l'étape d'oxydation de grille (par exemple une couche d'oxyde de silicium SiO_2) ou bien on utilise le masque de nitrure de silicium. On effectue un dopage dans les régions de canal par implantation ionique.

b) on réalise ensuite les isolations latérales :

- pour cela on dépose la couche sacrificielle 31

de silicium polycristallin d'une épaisseur de 500 nm, on grave cette couche à partir du masque prédéfini et décrit en référence à la figure 11, de manière à obtenir des motifs 310 tels que représentés sur la figure 4.

On dépose ensuite la couche d'isolant 32 formée par exemple d'oxyde de silicium SiO_2 de 300 nanomètres par la technique de dépôt chimique en phase vapeur CVD.

On effectue une gravure pleine plaque (c'est-à-dire sans masque) de cette couche d'isolant 32 pour former des espaceurs 320 tels que représentés sur la figure 5. Cette gravure s'effectue avec un plasma de trifluorométhane CHF_3 sur toute l'épaisseur de la couche. Ceci permet de ne laisser de l'oxyde de silicium que sur les flancs des motifs 310 de la couche sacrificielle de silicium polycristallin.

On effectue une élimination des motifs 310 de silicium polycristallin par une gravure plasma en utilisant comme agent d'attaque de l'hexafluorure de soufre (SF_6). On obtient ainsi les espaceurs 320 de largeur X3 tels que représentés sur la figure 6.

On effectue ensuite une élimination de la couche de protection 30 à l'aide d'acide fluorhydrique dilué. On réalise de façon classique l'oxyde de grille 34 par oxydation thermique.

On procède ensuite à un dépôt d'une couche de silicium polycristallin 35 de 250 nanomètres par un procédé de dépôt chimique en phase vapeur CVD ou LPCVD. Dans cette couche 35 seront réalisées par la suite les grilles flottantes des points mémoires.

On dépose alors par une technique classique une couche de résine 36, photosensible, effaçant le relief de la couche 35. Cette couche de résine 36, dite de planarisation, présente une épaisseur d'environ 1400 nanomètres. Le dépôt de celle-ci peut être suivie d'un traitement thermique, par exemple d'un chauffage à une température de l'ordre de 250°C pendant une 1/2 heure, afin d'obtenir un bon étalement de cette couche de résine.

On effectue ensuite une gravure simultanée de la couche de résine 36 et de la couche de silicium polycristallin 35, à des vitesses d'attaque identiques pour la résine 36, pour le silicium polycristallin 35 et pour l'oxyde 320 jusqu'à mise à nu de la surface des bandes 350, telles que représentées sur la figure 8, la hauteur restante des espaceurs 320 étant alors similaire à celle des bandes 350.

Cette gravure est réalisée par exemple de façon anisotrope par un procédé de gravure ionique réactive utilisant comme agent d'attaque un mélange de tri ou tétrafluorométhane et d'oxygène, les composés fluorés servant à la gravure du silicium polycristallin et de l'oxyde et l'oxygène à la gravure de la résine.

On peut procéder ensuite à une élimination des résidus de résine éventuels avec comme agents d'attaque du H_2SO_4 et du H_2O_2 .

Le dépôt de la résine 36 est par exemple réalisé par centrifugation.

Le dopage au phosphore du silicium polycristallin 350 peut être réalisé juste après le dépôt, par diffusion de POCL_3 .

Le dopage au phosphore du silicium polycristallin 350 peut également être réalisé après la gravure qui

est effectuée à vitesse identique de la résine 36 de la couche de silicium polycristallin 35. On réalise ensuite la formation d'une couche 37 d'isolant (couche intergrille), cette couche étant par exemple de l'oxyde de silicium. On peut effectuer par exemple, aussi, une isolation du type tri-couche au moyen d'une couche d'oxyde de silicium, d'une couche de nitrure de silicium et d'une couche d'oxyde de silicium. Dans ce cas, la première couche d'oxyde aura une épaisseur de 25 nanomètres, la couche de nitrure de silicium aura une épaisseur de 15 nanomètres et la dernière couche d'oxyde aura une épaisseur de 5 nanomètres.

Sur l'isolant 37 on dépose une autre couche de silicium polycristallin 38 dopée au phosphore par diffusion de POCL_3 , dans laquelle seront réalisées ultérieurement les secondes grilles ou grilles de commande des points mémoires. Cette couche 38 peut être obtenue par la technique de dépôt chimique en phase vapeur CVD ou LPCVD et présente une épaisseur de 400 nanomètres. Pour obtenir ces grilles de contrôle (correspondant aux lignes de mots) on effectue une gravure de cette couche 38 à partir d'un masque ayant des motifs définissant les largeurs (selon l'axe Y) des grilles de commande.

A ce stade les largeurs des grilles flottantes ne sont pas encore définies, seules les longueurs de ces grilles flottantes sont définies. La présence des espaceurs 320 a permis d'obtenir les bandes 350 dans la direction Y.

Dans les régions non recouvertes par la couche 38 de silicium polycristallin, dans les zones qui ne sont donc pas recouvertes par les grilles de commande qui viennent d'être définies, on procède à une gravure des motifs 350 obtenus à partir de la couche 35 de silicium polycristallin de manière à définir la largeur des grilles flottantes. Pour cela on procède tout d'abord à une gravure des espaceurs 320 et de l'isolant inter-grille 37 dans ces régions non protégées par la couche 38 en silicium polycristallin. On effectue en fait, une gravure partielle de l'oxyde de silicium 320 formant les espaceurs sur une épaisseur de 200 nanomètres. Cette gravure est effectuée de façon anisotrope et sélective par rapport au silicium polycristallin à l'aide d'une gravure du type ionique réactive utilisant comme agent d'attaque du CHF_3 ou du F_4 . Puis on effectue une gravure du silicium polycristallin 350 sélectivement par rapport à l'oxyde de silicium 320. Cette gravure est effectuée de façon anisotrope à l'aide d'une gravure du type ionique réactive utilisant comme agent d'attaque de l'hexafluorure de soufre (SF_6) plus du HCL à 50%. On a procédé à une gravure partielle des espaceurs 320 afin que l'oxyde de silicium restant protège le substrat 8 lors de la gravure du silicium polycristallin 350. La couche peu épaisse d'oxyde de silicium restante ne gêne pas à l'implantation ionique.

On effectue ensuite, de façon classique, un dopage des sources et des drains, puis un dépôt d'isolant 39 recouvrant toute la cellule mémoire comme représenté sur la figure 10. On réalise pour finir, de façon classique, les contacts et les interconnexions entre cellules mémoires comme on

peut le voir sur la figure 2.

Le procédé selon l'invention permet de réaliser des cellules mémoires ayant des écarts submicroniques entre grilles flottantes.

Il permet d'améliorer notablement la planéité de la structure en supprimant les marches que forment les grilles de commande sur les grilles flottantes.

Il permet de supprimer les points faibles P, car les angles que formaient le diélectrique interpoly et les bords des grilles flottantes n'existent plus dans cette nouvelle structure obtenue par le procédé selon l'invention.

D'autre part, pour une dimension de cellule donnée, la surface de couplage entre les grilles de commande et les grilles flottantes est augmentée par ce procédé.

Revendications

1. Procédé de fabrication d'une cellule mémoire intégrée du type EPROM ou EEPROM sur un substrat semi-conducteur comportant une matrice de points mémoires isolés électriquement les uns des autres, chaque point mémoire comprenant une source (4), un drain (6), une grille flottante (350), une grille de commande (38), un canal (5) situé sous la grille flottante (350), la source (4) et le drain (6) étant situés de part et d'autre de la grille flottante (350), les grilles flottantes de chaque point mémoire étant distantes et isolées latéralement suivant une première direction (X) d'une ou de deux autres grille flottantes, caractérisé en ce qu'il comporte une étape de réalisation des isolations latérales (320) des grilles flottantes suivant la première direction (X) par des motifs isolants en relief, puis une étape de réalisation des grilles flottantes (350) proprement dites par dépôt et gravure.

2. Procédé de fabrication selon la revendication 1, dans lequel pour réaliser les isolations latérales (320) entre les grilles flottantes (350) on utilise un masque de gravure comportant des motifs définissant la longueur des grilles flottantes, caractérisé en ce que le masque de gravure utilisé comporte un motif de grille sur deux, le motif du masque ayant un pas qui correspond à deux longueurs (L) de grilles flottantes augmenté de deux longueurs (X3) d'espaces séparant deux grilles.

3. Procédé de fabrication selon la revendication 1 ou 2, caractérisé en ce que la réalisation des isolations des grilles flottantes comportant une étape de dépôt d'une couche (31) sacrificielle puis une gravure de cette couche au moyen d'un masque ayant un motif de grille sur deux, puis un dépôt d'une couche (32) d'isolant, puis une gravure de l'isolant (32) pour réaliser les motifs isolants en relief du type espaceur (320) de largeur submicronique désirée (X3) et enfin une élimination de la couche sacrificielle (31).

4. Procédé selon la revendication 1 ou 2, caractérisé en ce qu'il comporte les étapes

suivantes :

a) au préalable :

- formation dans le substrat (8) des zones actives séparées par de l'oxyde épais formant l'oxyde de champ isolant les points mémoires,
- formation d'une couche de matériau (30) servant de protection du substrat,
- dopage des régions de canal par implantation ionique à travers la couche de protection (30),

b) puis réalisation des isolations latérales par :

- dépôt de la couche sacrificielle (31),
- gravure de cette couche (31) pour obtenir les motifs (310) désirés,
- dépôt de la couche mince d'isolant (32),
- gravure de l'isolant (32) de manière à réaliser les motifs isolants en relief du type espaceur (320) contre les bords latéraux des motifs (310) de la couche sacrificielle gravée,
- élimination des motifs (310) de la couche (31) sacrificielle,
- élimination de la couche (30) de protection,
- formation d'une couche (34) mince de matériau isolant pour former un oxyde de grille,
- c) réalisation des grilles flottantes par dépôt et gravure,
- d) réalisation des grilles de commande par dépôt, masquage et gravure,
- e) réalisation des sources (4) et des drains (6),
- f) réalisation des contacts (24),
- g) réalisation des interconnexions (26).

5. Procédé selon la revendication 4, caractérisé en ce que la réalisation des grilles flottantes comporte les étapes suivantes :

- dépôt d'une première couche (35) de silicium polycristallin,
- dépôt d'une couche de résine (36) de planarisation - gravure à vitesse identique de la résine (36) et du silicium polycristallin (35) permettant de mettre à nu le silicium polycristallin,
- dopage de la première couche de silicium polycristallin.

6. Procédé selon l'une quelconque des revendications 4 et 5, caractérisé en ce que la couche sacrificielle (31) est constituée de silicium polycristallin.

7. Procédé selon l'une quelconque des revendications 4 ou 6, caractérisé en ce que le substrat est en silicium et en ce que la couche mince de matériau isolant (34) est un oxyde de silicium réalisé par oxydation du substrat.

8. Procédé selon l'une quelconque des revendications 4 à 7, caractérisé en ce que la couche de protection (30) est constituée par le masque de nitrure ayant servi à réaliser l'oxyde de champ.

9. Procédé selon la revendication 5, caractérisé en ce que le dopage de la première couche

de silicium polycristallin (35) est effectué juste après le dépôt de cette couche (35).

10. Procédé selon l'une quelconque des revendications 3 à 9, caractérisé en ce que la réalisation des grilles de commande comporte les étapes successives suivantes :

- dépôt de la couche (37) d'isolant inter-grille ;
- dépôt d'une deuxième couche (38) de silicium polycristallin ;
- dopage de la deuxième couche (38) de silicium polycristallin ;
- gravure de cette deuxième couche (38) à

partir d'un masque ayant des motifs définissant les grilles de commande (38) ;

- gravure partielle de la couche d'isolant formant les espaceurs (320) ainsi que de la couche (37) d'isolant inter-grille dans les zones où ces couches ne sont pas recouvertes par la deuxième couche (38) de silicium polycristallin ;
- gravure sélective de la première couche (35) de silicium polycristallin par rapport à l'isolant (320), dans les zones non recouvertes par la deuxième couche de silicium polycristallin (38).

5

10

15

20

25

30

35

40

45

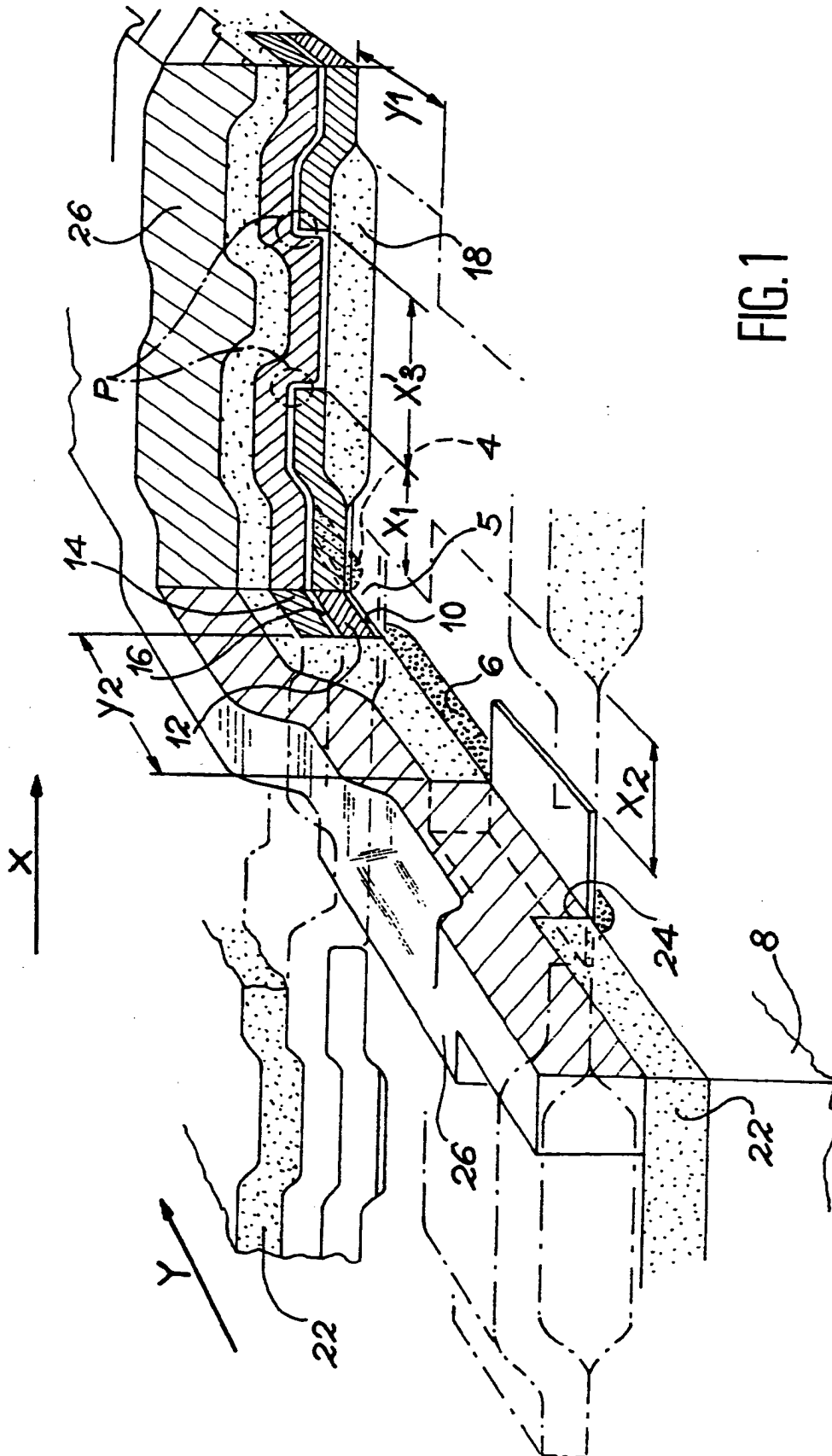
50

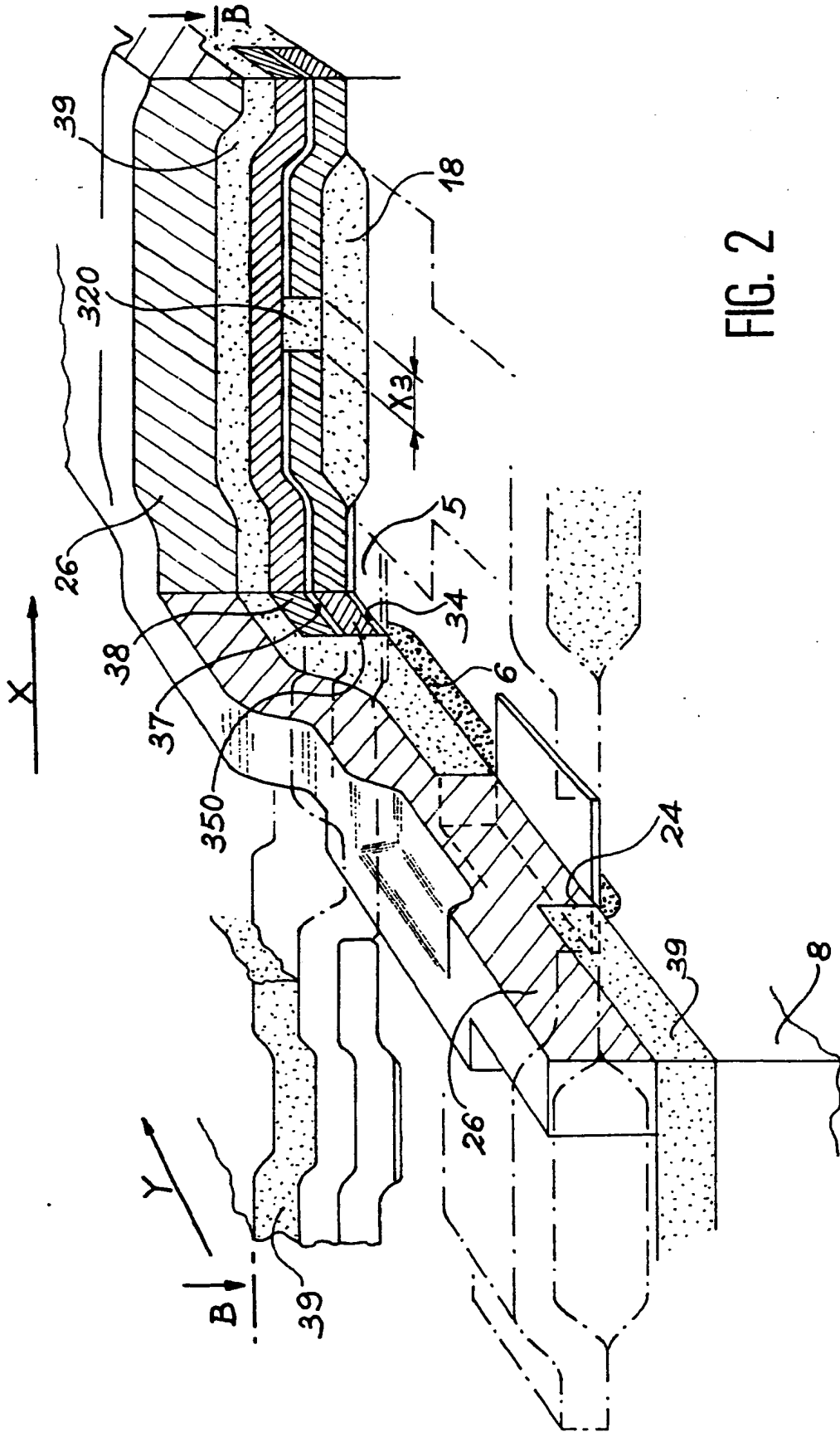
55

60

65

7





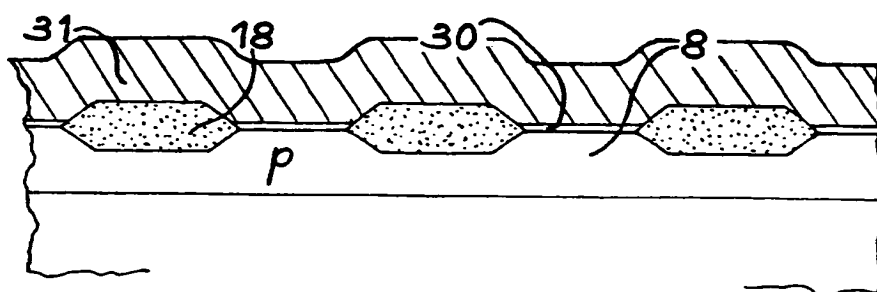


FIG. 3

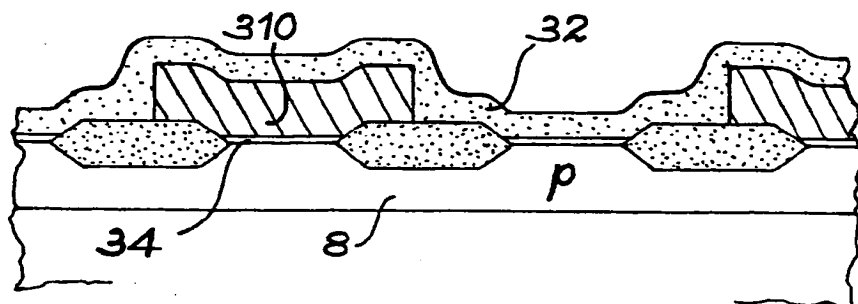


FIG. 4

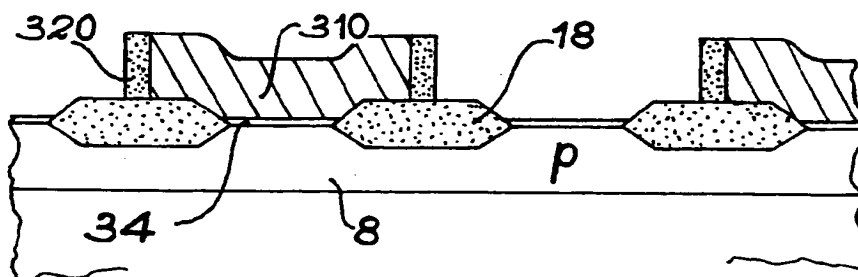


FIG. 5

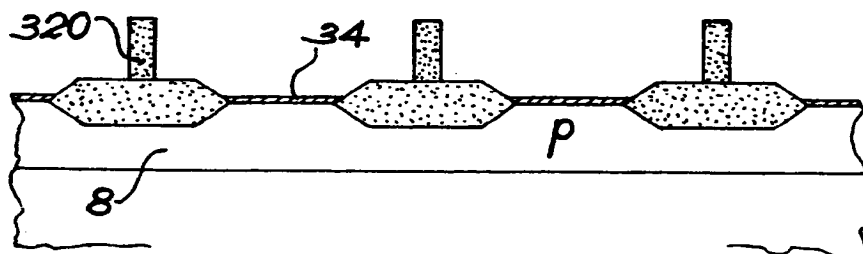


FIG. 6

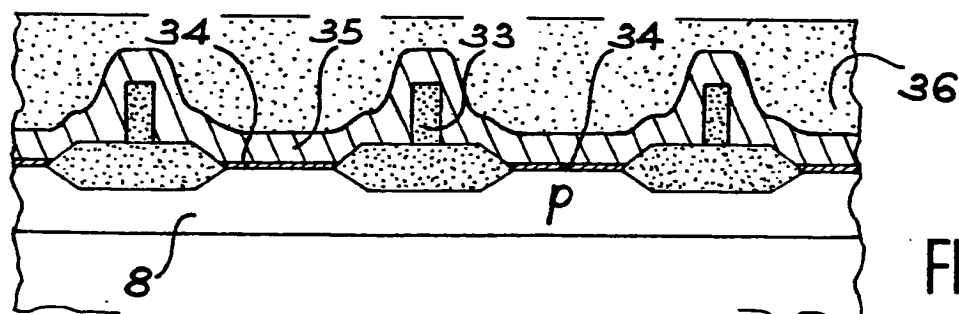
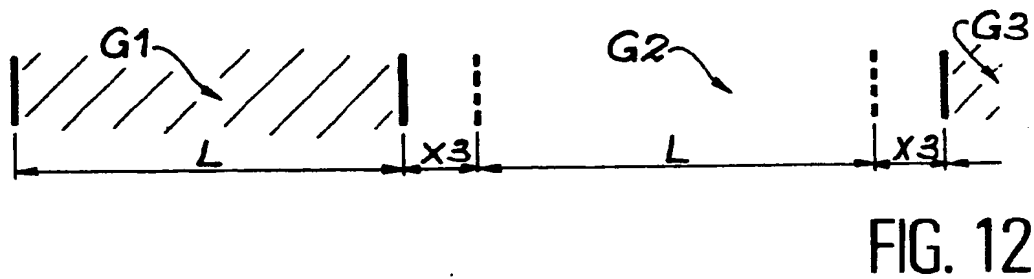
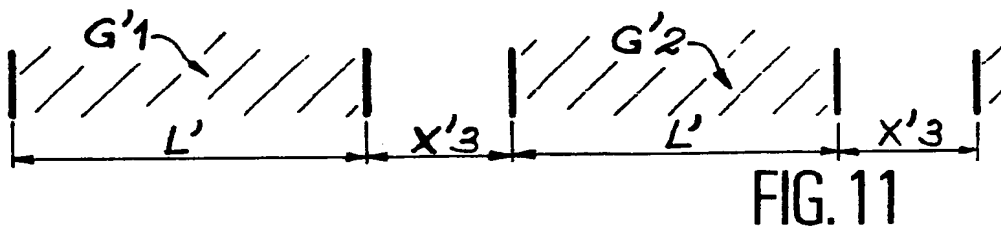
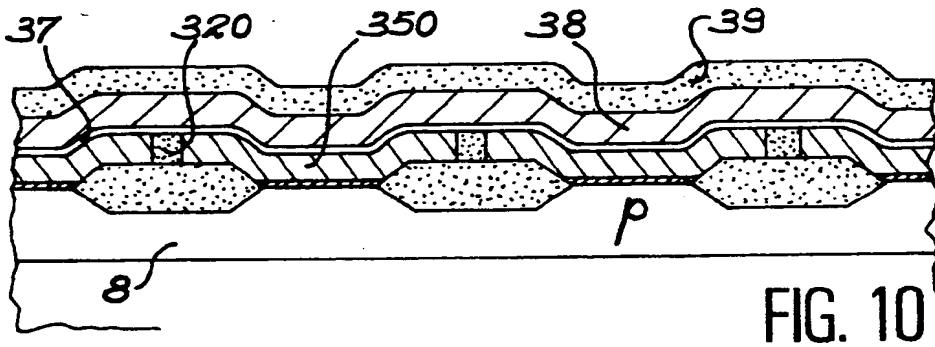
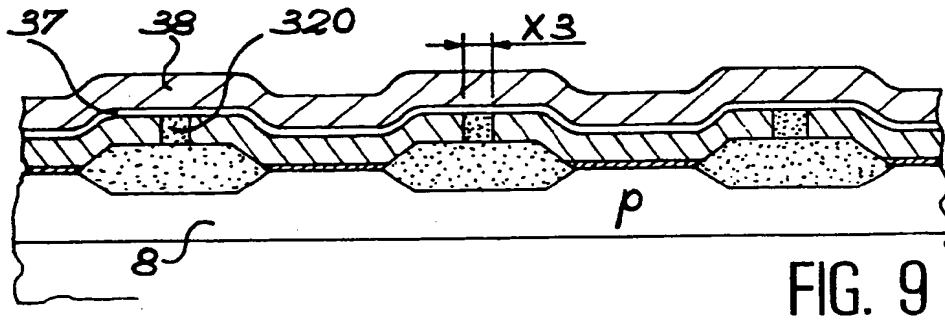
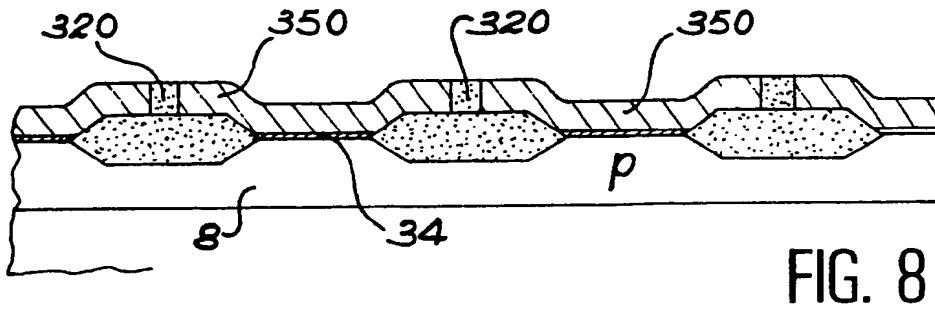


FIG. 7





Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numero de la demande

EP 89 40 2006

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl.5)
X	EP-A-0 258 141 (C.E.A.) * Figures 3,19-24; page 18, ligne 28 - page 20, ligne 55 * ---	1	H 01 L 21/82 H 01 L 21/28 H 01 L 29/788
A	EP-A-0 160 965 (TOSHIBA K.K.) * Résumé; figures 1,2 * ---	1-5,7,9 ,10	
A	EP-A-0 088 922 (TOSHIBA K.K.) * Résumé; figures 1,5; page 18, ligne 35 - page 20, ligne 10 * ---	1-4	
A	PATENT ABSTRACTS OF JAPAN, vol. 10, no. 168 (E-411)[2224], 14 juin 1986; & JP-A-61 19 176 (TOSHIBA K.K.) 28-01-1986 * Résumé; figures * ---	1,3	
A	US-A-4 597 060 (TEXAS INSTRUMENTS INC.) * Résumé; figure 2 * ---	1,3-5	
A	US-A-4 402 128 (RCA CORP.) * Résumé; figures 1-5 * ---	1,4-6	DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
A	PATENT ABSTRACTS OF JAPAN, vol. 10, no. 209 (E-421)[2265], 22 juillet 1986; & JP-A-61 50 370 (TOSHIBA CORP.) 12-03-1986 * Résumé; figures * ---	1,2	H 01 L
A	US-A-4 749 443 (TEXAS INSTRUMENTS INC.) * Figure 3; page 4, lignes 46-64 * -----	1,4,7	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 09-10-1989	Examineur GELEBART J.F.M.
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons ----- & : membre de la même famille, document correspondant			

EPO FORM 1503 03.82 (P0402)